

DIALOG(R) File 347:JAPI
(c) 1999 JPO & JAPIO. All rts. reserv.

05662786 **Image available**
ELECTRON SOURCE, IMAGE FORMING DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 09-277586 [J P 9277586 A]
PUBLISHED: October 28, 1997 (19971028)
INVENTOR(s): SUZUKI YOSHIO
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 08-085274 [JP 9685274]
FILED: April 08, 1996 (19960408)
INTL CLASS: [6] B41J-002/44; G03G-015/05; H04N-005/66
JAPIO CLASS: 29.4 (PRECISION INSTRUMENTS -- Business Machines); 44.6
 (COMMUNICATION -- Television); 44.9 (COMMUNICATION -- Other)
JAPIO KEYWORD: R020 (VACUUM TECHNIQUES)

ABSTRACT

PROBLEM TO BE SOLVED: To reduce the incidence of a vacuum leak in the stepped part of the lower part of a support frame and thereby improve the yield by forming wiring into a folded structure at the lower part of the support frame for the outwardly leading-out part of the wiring in a device with a substrate consisting of a plurality of elements arranged and connected to thick film wiring.

SOLUTION: An electron source substrate 71, consisting of arranged electron emitting elements 74, which is fixed to a rear plate 81, has a face plate 86 comprising a fluorescent film 84 and a metal back 85 formed on the inner face of a glass substrate 83, connected to a support frame 82 which forms part of an enclosure 88 arranged on the top of the substrate 71 using a first glass. The substrate 71 has embedded wiring 72, 73 in the X and Y directions connected to the paired element electrodes of a surface-conducting electron emitting element. These sets of wiring 72, 73 are of such a structure that the sets penetrate through the lower part of the support frame 82 when led out of the enclosure 88. The folded part 77 of the wiring is provided at the lower part of the supports frame 82.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-277586

(43) 公開日 平成9年(1997)10月28日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
B 4 1 J	2/44		B 4 1 J 3/21	T
G 0 3 G	15/05		H 0 4 N 5/66	Z
H 0 4 N	5/66		G 0 3 G 15/00	1 1 6

審査請求 未請求 請求項の数10 O L (全 16 頁)

(21) 出願番号 特願平8-85274

(22) 出願日 平成8年(1996)4月8日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 鈴木 義男

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

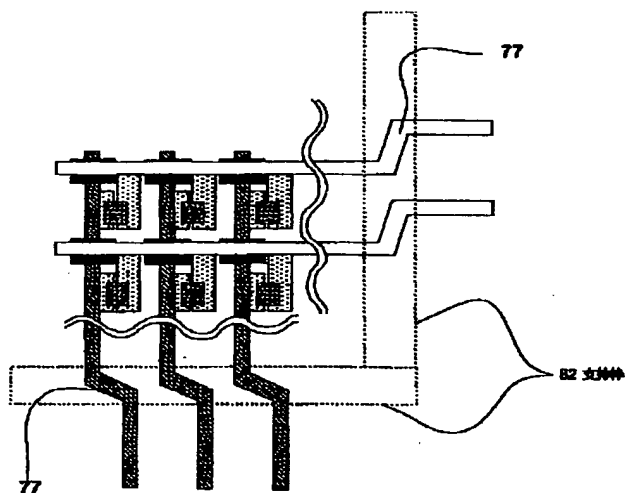
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 電子源、画像形成装置及びその製造方法

(57) 【要約】

【課題】 安価で工程数が少なく、電極と配線部分の簡略化された構成により真空封止部の信頼性が向上し、高密度の画素配列による高品位画像が実現可能な電子源及び画像形成装置並びにその製造方法の提供。

【解決手段】 厚膜よりなる配線を有し、該配線に接続される素子が多数配置されてなる基板と、該基板と対向する基板上に蛍光体が配置されてなり、前記基板を隔てる支持枠部で封着され、内部が減圧雰囲気保持されてなる画像形成装置の、前記配線が外部への取り出し部分の支持枠下部において屈曲した構造を有する画像形成装置。



1

【特許請求の範囲】

【請求項1】 厚膜よりなる配線を有し、該配線に接続される素子が多数配置されてなる基板と、該基板と対向する基板上に蛍光体が配置されてなり、前記基板を隔てる支持枠部で封着され、内部が減圧雰囲気保持されてなる画像形成装置において、前記配線が外部への取り出し部分の支持枠下部において屈曲した構造を有することを特徴とする画像形成装置。

【請求項2】 前記厚膜よりなるX方向配線及びY方向配線が行列上に配置され、該XY配線の交差部に電子放出素子が配置された電子源基板と、前記電子放出素子を能動素子とし、該電子源基板と対向する基板上に受動素子として蛍光体が配置されてなり、且つこれらを隔てる支持枠部で封着され真空中に保持されてなることを特徴とする、請求項1記載の画像形成装置。

【請求項3】 前記屈曲した構造において、1本の配線の片側取り出し部の支持枠下部における屈曲部を2ヵ所具備することを特徴とする、請求項1又は2記載の画像形成装置。

【請求項4】 前記屈曲した構造において、1本の配線の片側取り出し部の支持枠下部における屈曲部を3ヵ所具備することを特徴とする、請求項1又は2記載の画像形成装置。

【請求項5】 電子放出素子を具備する画像形成装置において、該電子放出素子が薄膜電極と微粒子導電膜よりなる表面伝導型電子放出素子からなり、且つ該画像形成装置が請求項1ないし4の何れかに記載の画像形成装置であることを特徴とする画像形成装置。

【請求項6】 厚膜よりなる配線を有し、該配線に接続される素子が多数配置されてなる基板と、該基板と対向する基板上に蛍光体が配置されてなり、前記基板を隔てる支持枠部で封着され、内部が減圧雰囲気保持されてなる画像形成装置を製造する方法において、前記配線を外部への取り出し部分の支持枠下部において屈曲した構造とすることを特徴とする画像形成装置の製造方法。

【請求項7】 前記厚膜よりなるX方向配線及びY方向配線が行列上に配置され、該XY配線の交差部に電子放出素子が配置された電子源基板と、前記電子放出素子を能動素子とし、該電子源基板と対向する基板上に受動素子として蛍光体を配置してなり、且つこれらを隔てる支持枠部で封着し真空中に保持することを特徴とする、請求項6記載の画像形成装置の製造方法。

【請求項8】 前記屈曲した構造において、1本の配線の片側取り出し部の支持枠下部における屈曲部を2ヵ所具備せしめることを特徴とする、請求項6又は7記載の画像形成装置の製造方法。

【請求項9】 前記屈曲した構造において、1本の配線の片側取り出し部の支持枠下部における屈曲部を3ヵ所具備せしめることを特徴とする、請求項6又は7記載の画像形成装置の製造方法。

2

【請求項10】 電子放出素子を具備する画像形成装置において、該電子放出素子を薄膜電極と微粒子導電膜よりなる表面伝導型電子放出素子より構成せしめ、且つ該画像形成装置を請求項1ないし5の何れかに記載の画像形成装置とすることを特徴とする画像形成装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は厚膜配線を用いた電子源、それを用いた画像形成装置、及びその製造方法に関する。

【0002】

【従来の技術】従来より電子放出素子には大別して熱電子放出素子と冷陰極電子放出素子を用いた2種類のものが知られている。冷陰極電子放出素子には電界放出型（以下、FE型と云う）、金属／絶縁層／金属型（以下、MIM型と云う）や表面伝導型電子放出素子等がある。

【0003】FE型の例としてはW. P. Dyke & W. W. Doran "Field Emission", Advance in Electron Physics, 8, 89 (1956) 或いは、C. A. Spindt, "Physical Properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) 等の開示されたものが知られている。

【0004】MIM型では、C. A. Mead, "Operation of Tunnel-Emission Devices", J. Appl. Phys., 32, 646 (1961) 等の開示されたものが知られている。

【0005】表面伝導型電子放出素子型の例としては、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290 (1965) 等の開示されたものがある。表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に膜面に平行に電流を流すことにより、電子放出が生ずる。この表面伝導型電子放出素子としては、前記エリンソン等によるSnO₂ 薄膜を用いたもの、Au薄膜によるもの [G. Dittmer: Thin Solid Films, 9, 317 (1972)]、In₂O₃/SnO₂ 薄膜によるもの [M. Hartwell and C. G. Fonstad: IEEE Trans. ED Conf., 519 (1975)]、カーボン薄膜によるもの [荒木久 他: 真空、第26巻、第1号、22頁 (1983)] 等が報告されている。

【0006】これらの表面伝導型電子放出素子の典型的な例として前述のM. ハートウェルの素子構成を図15

に模式的に示す。同図において001は基板である。004は導電性薄膜で、H型形状のパターンにスパッタで形成された金属氧化物薄膜等からなり、後述の通電フォーミングと呼ばれる通電処理により電子放出部005が形成される。尚、図中の素子電極間隔L1は0.5~1mm、W'は0.1mmに設定されている。

【0007】従来、これらの表面伝導型電子放出素子においては、電子放出を行う前に導電性薄膜004を予め通電フォーミング処理によって電子放出部005を形成するのが一般的であった。即ち、通電フォーミングとは前記導電性薄膜004両端に直流電圧或いは非常に緩やかな昇電圧を印加通電し、導電性薄膜を局所的に破壊、変形もしくは変質せしめ、電気的に高抵抗な状態にした電子放出部005を形成することである。尚、電子放出部005は導電性薄膜004の一部に亀裂が発生しその亀裂付近から電子放出が行われる。前記通電フォーミング処理をした表面伝導型電子放出素子は、上述導電性薄膜004に電圧を印加し、素子に電流を流すことにより上述の電子放出部005より電子を放出せしめるものである。

【0008】

【発明が解決しようとする課題】上述の表面伝導型電子放出素子は構造が単純で製造も容易であることから、大面積にわたって多数素子を配列形成できる利点がある。そこでこの特徴を活かした荷電ビーム源、画像形成装置等の応用研究がなされている。多数の表面伝導型放出素子を配列形成した例としては、後述するように梯子型配置と呼ぶ並列に表面伝導型電子放出素子を配列し、個々の素子の両端を配線（共通配線とも呼ぶ）で、それぞれ結線した行を多数行配列した電子源があげられる（例えば、特開昭64-031332、特開平1-283749、同2-257552等）。

【0009】また、特に表示装置等の画像形成装置においては、近年、液晶を用いた平板型表示装置がCRTに替わって普及してきたが、自発光型でないためバックライトを持たなければならない等の問題点があり、自発光型の表示装置の開発が望まれてきた。自発光型表示装置としては表面伝導型電子放出素子を多数配置した電子源と電子源より放出された電子によって、可視光を発光せしめる蛍光体とを組み合わせた表示装置である画像形成装置が挙げられる（例えば、USP5066883）。

【0010】然しながら、以上説明したような画像形成装置をフォトリソグラフィ、エッチング技術により製造する場合は、大面積化するには以下のような問題点があった。前記画像形成装置の製造工程において電極や配線パターンを加工する場合、基板上に電極及び配線材料の金属薄膜を1~数μm成膜し、これを通常のフォトリソグラフィ、エッチング技術を用いてパターン加工し、電極や配線パターンを形成しなければならない。

【0011】然しながら、例えば、40cm角以上の大

型基板上にフォトリソグラフィ、エッチング技術により製造する場合、蒸着装置をはじめ、露光装置、エッチング装置等を含む大型製造設備が必要となり莫大な費用がかかるだけでなく、基板を大型化した場合、製造装置自体の大型化が困難となり製造方法上、或いはコスト上の大きな問題があった。また、大面積化することにより電極数の増加、配線の増加及び複雑化により、工程数が増え、断線や短絡等の欠陥が発生し易くなり、歩留りが低下する等の問題があった。

10 【0012】よって本発明は、画像形成装置の作製手段としてフォトリソグラフィ法に代えて大面積化により適した印刷法を工程の一部又は全部に用い、数μm~数十μmの厚膜よりなる配線を用いた場合、配線の厚膜化に伴って生ずる問題点を解決することを目的とするものである。

20 【0013】即ち、本発明の目的は、配線の厚膜化によって大きくなった段差を有する基板と、該基板と対向し蛍光体が配置されてなる基板とが支持枠によって隔てられ、内部が減圧雰囲気保持されてなる画像形成装置において、支持枠下部の段差部における真空リークの発生率を低減し、歩留りを向上し得る構造を有する画像形成装置の提供することにある。

【0014】

30 【課題を解決するための手段及び作用】上記の目的は、以下に示す本発明によって達成される。即ち本発明は、厚膜よりなる配線を有し、該配線に接続される素子が多数配置されてなる基板と、該基板と対向する基板上に蛍光体が配置されてなり、前記基板を隔てる支持枠部で封着され、内部が減圧雰囲気に保持されてなる画像形成装置において、前記配線が外部への取り出し部分の支持枠下部において屈曲した構造を有することを特徴とする画像形成装置を開示するものである。

40 【0015】そして、前記厚膜よりなるX方向配線及びY方向配線が行列上に配置され、該XY配線の交差部に電子放出素子が配置された電子源基板と、前記電子放出素子を能動素子とし、該電子源基板と対向する基板上に受動素子として蛍光体が配置されてなり、且つこれらを隔てる支持枠部で封着され真空中に保持されてなることを特徴とするものであり、また前記屈曲した構造において、1本の配線の片側取り出し部の支持枠下部における屈曲部を2ヶ所具備することを特徴とするものである。

50 【0016】また、前記屈曲した構造において、1本の配線の片側取り出し部の支持枠下部における屈曲部を3ヶ所具備することを特徴とするものであり、また電子放出素子を具備する画像形成装置において、該電子放出素子が薄膜電極と微粒子導電膜よりなる表面伝導型電子放出素子からなり、且つ該画像形成装置が前記の画像形成装置であることを特徴とするものである。

【0017】また本発明は、厚膜よりなる配線を有し、該配線に接続される素子が多数配置されてなる基板と、

該基板と対向する基板上に蛍光体が配置されてなり、前記基板を隔てる支持枠部で封着され、内部が減圧雰囲気保持されてなる画像形成装置を製造する方法において、前記配線を外部への取り出し部分の支持枠下部において屈曲した構造とすることを特徴とする画像形成装置の製造方法をも開示するものである。

【0018】そして、前記厚膜よりなるX方向配線及びY方向配線が行列上に配置され、該XY配線の交差部に電子放出素子が配置された電子源基板と、前記電子放出素子を能動素子とし、該電子源基板と対向する基板上に受動素子として蛍光体を配置してなり、且つ、これらを隔てる支持枠部で封着し真空中に保持することを特徴とする方法であり、また前記屈曲した構造において、1本の配線の片側取り出し部の支持枠下部における屈曲部を2ヵ所具備せしめることを特徴とする方法である。

【0019】また、前記屈曲した構造において、1本の配線の片側取り出し部の支持枠下部における屈曲部を3ヵ所具備せしめることを特徴とする方法であり、また電子放出素子を具備する画像形成装置において、該電子放出素子を薄膜電極と微粒子導電膜よりなる表面伝導型電子放出素子より構成せしめ、且つ該画像形成装置を前記本発明の画像形成装置とすることを特徴とする方法である。

【0020】本発明は、上述した課題を解決するために鋭意検討を行って成されたものである。即ち、本発明の電子源及び画像形成装置は、前記の目的達成のため以下の方法を用いた。

【0021】(1) 厚膜よりなる配線を有し、該配線に接続された素子が多数配置された基板と、該基板と対向する基板上に蛍光体が配置されてなり、前記基板を隔てる支持枠部で封着され内部が減圧雰囲気保持されてなる画像形成装置において、前記配線が外部への取り出し部分の支持枠下部において屈曲させた構造とし画像形成装置を作製した。

【0022】(2) 厚膜よりなるX方向配線及びY方向配線が行列上に配置され、そのXY配線の交差部に電子放出素子が配置された電子源基板と前記電子放出素子を能動素子とし、電子源基板と対向する基板上に受動素子として蛍光体が配置されてなり、これらを隔てる支持枠部で封着され真空中に保持されてなる画像形成装置において(1)における構造を用いた。

【0023】(3) 前記(1)、(2)に記載の屈曲した構造において、1本の配線の片側取り出し部の支持枠下部における屈曲部が2ヵ所とした。

【0024】(4) 前記(1)、(2)に記載の屈曲した構造において、1本の配線の片側取り出し部の支持枠下部における屈曲部を3ヵ所以上とした。

【0025】(5) 前記(1)～(4)に記載の構造を薄膜電極と微粒子導電膜よりなる表面伝導型電子放出素子を用いる画像形成装置において用いた。

【0026】即ち電子放出素子を含み真空中に保持される内部から外部へと支持枠下部のガラスフリット等で封着された部分をX方向配線、Y方向配線が貫通する構造をとる場合、配線を屈曲させることにより内外を貫く直線状の空隙の発生を無くすることが可能となる。

【0027】よってこのような構造を採用することにより、厚膜化によって大きくなった段差を有する基板と、該基板と対向し蛍光体が配置されてなる基板とが支持枠によって隔てられ内部が減圧雰囲気保持されてなる画像形成装置において、支持枠下部の配線段差部における真空リークの発生率を低減し、歩留りを向上することが可能となった。

【0028】

【発明の実施の形態】以下、図面を参照して本発明を説明する。図1は、本発明による画像形成装置の1例を示す模式図である。

【0029】図1において71は電子放出素子を複数配した電子源基板、81は電子源基板71を固定したリアプレート、86はガラス基板83の内面に蛍光膜84とメタルバック85等が形成されたフェースプレートである。82は、支持枠であり該支持枠82には、リアプレート81、フェースプレート86がフリットガラス等を用いて接続されている。88は外囲器である。

【0030】外囲器88は、上述の如く、フェースプレート86、支持枠82、リアプレート81で構成される。リアプレート81は主に電子源基板71の強度を補強する目的で設けられるため、電子源基板71自体で十分な強度を持つ場合は別体のリアプレート81は不要とすることができる。即ち、基板71に直接支持枠82を封着し、フェースプレート86、支持枠82及び基板71で外囲器88を構成しても良い。一方、フェースプレート86、リアプレート81間に、スペーサー(耐大気圧支持部材)とよばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器88を構成することもできる。

【0031】74は、図1における表面伝導型電子放出部に相当する。72、73は、表面伝導型電子放出素子の一对の素子電極と接続されたX方向配線及びY方向配線である。X方向配線72及びY方向配線73は外囲器88の外部へ取り出される際、支持枠82の下部を貫通する構造を有しておりこの部分において本発明の特徴であるところの77の屈曲部を有している。

【0032】以下、図2(a)～(f)を用いて本実施態様の電子放出素子基板の製造方法を説明する。良く洗浄したリアプレート81に相当する基板上に金属材料よりなる導電膜を印刷し、素子電極002、003を形成する。前記一对の素子電極002、003の電極間隔は数 μm ～数百 μm 、膜厚は数百～数千オングストロームで、印刷法により形成される(a)。

【0033】次に、導電性ペーストを印刷し、後で形成

する支持棒取り付け位置に屈曲部77を有するX方向配線(下配線)72パターンを形成する。これらのX方向配線(下配線)72は素子電極002の一部と接触するように配置する。膜厚は数十 μm ~数 μm の範囲である(b)。

【0034】後に形成するY方向配線と交差する位置に絶縁性ペーストを印刷、焼成し、絶縁体16を形成する。膜厚は数十 μm ~数 μm の範囲である(c)。

【0035】更にX方向配線(下配線)と直行する方向で絶縁体16上に導電性ペーストを印刷、焼成することにより、Y方向配線(上配線)73を形成する。このY方向配線(上配線)73は、前記絶縁体16よりX方向配線(下配線)72と絶縁され、素子電極003とは導通するように配置されている。膜厚は数十 μm ~数 μm の範囲である(d)。

【0036】この上に導電性薄膜を全面に形成する。その後、フォトリソグラフィによりパターンニングを行い前記図1のような導電性薄膜004とする。この導電性薄膜004の膜厚は数十オングストローム~数千オングストロームの範囲が好ましく適宜設定することができ、導電性薄膜004はフォトリソグラフや印刷法等によってパターン形成され、個々に分離されている(e)。

【0037】上記のようにして形成された電子源基板上のX方向配線(下配線)72、Y方向配線(上配線)73のへ支持棒82を低融点ガラス(フリットガラス)等により接着し、更に前記図1で説明したフェースプレート86とともに加熱し封着し外囲器88を形成する(f)。

【0038】ここでフェースプレート86、リアプレート81、支持棒82としては、石英ガラス、Na等の不純物含有量を減少したガラス、青板ガラス、青板ガラスにスパッタ法等によりSiO₂を積層したガラス基板等、及びアルミナ等のセラミックス等を用いることができる。

【0039】対向する素子電極002、003、X方向配線(下配線)72、Y方向配線(上配線)73の材料としては導電性を有するものであればどのような物であっても構わないが、例えば、Ni、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属或いは合金、及びPd、Ag、Au、RuO₂、Pd-Ag等の金属、或いは金属酸化物とガラス等から構成される印刷導体、及びポリシリコン等の半導体導体材料、及びIn₂O₃-SnO₂等の透明導電体等があげられる。

【0040】絶縁体16の材料としては、一般的に市販されているガラスペーストを用いることができる。

【0041】導電性薄膜004を構成する材料の具体例を挙げるならば、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pd等の金属、PdO、SnO₂、In₂O₃、PbO、Sb₂O₃等の酸化物、HfB₂、ZrB₂、LaB₆、C

eB₆、YB₄、GdB₄等のホウ化物、TiC、ZrC、HfC、TaC、SiC、WC等の炭化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体、カーボン等であり、微粒子膜からなる。尚、ここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、或いは重なり合った状態(島状も含む)の膜を表す。低融点ガラス(フリットガラス)としては融点が400~550℃の一般に市販されているものを用いることができる。

【0042】以下本発明を実施した表面伝導型電子放出素子の基本的な説明を記す。本発明の表面伝導型電子放出素子の基本的な構成には大別して、平面型及び垂直型の2種がある。まず、平面型表面伝導型電子放出素子について説明する。図5は、本発明の平面型表面伝導型電子放出素子の構成を示す模式図であり、図5(a)は平面図、図5(b)は断面図である。

【0043】図5において001は基板、002と003は素子電極、004は導電性薄膜、005は電子放出部である。基板001としては、石英ガラス、Na等の不純物含有量を低減させたガラス、青板ガラス、スパッタ法等によりSiO₂を堆積させたガラス基板及びアルミナ等のセラミックス基板等を用いることができる。

【0044】対向する素子電極002、003の材料としては一般的な導電性を用いることができ、Ni、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属或いは合金、及びPd、As、Ag、Au、RuO₂、Pd-Ag等の金属或いは金属酸化物とガラス等から構成される印刷導体、In₂O₃-SnO₂等の透明導電体及びポリシリコン等の半導体導体材料、等から選択することができる。素子電極間隔L、素子電極長さW、導電性薄膜004の形状等は、応用される形態等を考慮して設計される。好ましくは数千オングストローム~数百 μm の範囲であり、より好ましくは素子電極間に印加する電圧等を考慮して1~100 μm の範囲である。

【0045】素子電極長さWは、電極の抵抗値、電子放出特性を考慮して、数 μm ~数百 μm の範囲である。素子電極002、003の膜厚dは、100オングストローム~1 μm の範囲である。尚、図5に示した構成だけでなく、基板001上に、導電性薄膜004、対向する素子電極002、003の順に積層した構成とすることもできる。

【0046】導電性薄膜004には良好な電子放出特性を得るために、微粒子で構成された微粒子膜を用いるのが好ましい。その膜厚は素子電極002、003へのステップカバレッジ、素子電極002、003間の抵抗値及び後述するフォーミング条件等を考慮して適宜設定されるが、通常は数~数千オングストロームの範囲とするのが好ましく、より好ましくは10~500オングスト

ロームの範囲とするのがよい。その抵抗値は、 R_s が $1 \times 10^2 \sim 1 \times 10^7 \Omega$ の値である。尚 R_s は厚さが t 、幅が w 、長さが l の薄膜の抵抗 R を、 $R = R_s (l/w)$ とおいたときに現れる値で、薄膜材料の抵抗率を ρ とすると $R_s = \rho/t$ で表される。本願明細書において、フォーミング処理について通電処理を例に挙げて説明するが、フォーミング処理はこれに限られるものではなく、膜に亀裂を生じさせて高抵抗状態を形成する方法であればいかなる方法でもよい。

【0047】導電性薄膜004を構成する材料は、P、d、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属、PdO、SnO₂、In₂O₃、PbO、Sb₂O₃等の酸化物、HfB₂、ZrB₂、LaB₆、YB₄、GdB₄等の硼化物、TiC、ZrC、HfC、TaC、SiC、WC等の炭化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体、カーボン等の中から適宜選択される。

【0048】ここで述べる微粒子膜とは複数の微粒子が集合した膜であり、その微細構造は、微粒子が個々に分散配置した状態或いは微粒子が互いに隣接、或いは重なり合った状態（いくつかの微粒子が集合し、全体として島状構造を形成している場合も含む）をとっている。微粒子の粒径は、数オングストローム～1 μ mの範囲、好ましくは10～200オングストロームの範囲である。

【0049】電子放出部005は、導電性薄膜004の一部に形成された高抵抗の亀裂により構成され、導電性薄膜004の膜厚、膜質、材料及び後述する通電フォーミング等の手法等に依存したものとなる。電子放出部005の内部には、1000オングストローム以下の粒径の導電性微粒子を含む場合もある。この導電性微粒子は、導電性薄膜004を構成する材料の元素の一部、或いは全ての元素を含有するものとなる。電子放出部005及びその近傍の導電性薄膜004には、炭素或いは炭素化合物を含む場合もある。

【0050】次に、垂直型表面伝導型電子放出素子について説明する。図6は、本発明の垂直型表面伝導型電子放出素子の一例を示す模式図である。図6においては、図5に示した部位と同じ部位には図5に付した符号と同一の符号を付している。21は、段差形成部である。基板001、素子電極002及び003、導電性薄膜004、電子放出部005は、前述した平面型表面伝導型電子放出素子の場合と同様の材料で構成することができる。段差形成部21は、真空蒸着法、印刷法、スパッタ法等で形成されたSiO₂等の絶縁性材料で構成することができる。段差形成部21の膜厚は、先に述べた平面型表面伝導型電子放出素子の素子電極間隔しに対応し、数千オングストローム～数十 μ mの範囲とすることができる。この膜厚は、段差形成部の製法及び素子電極間に印加する電圧を考慮して設定されるが、数百オングスト

ローム～数 μ mの範囲が好ましい。

【0051】導電性薄膜004は、素子電極002及び003と段差形成部21作製後に、該素子電極002、003の上に積層される。電子放出部005は、図6においては、段差形成部21に形成されているが、作成条件、フォーミング条件等に依存し、形状、位置ともこれに限られるものでない。

【0052】上述の表面伝導型電子放出素子の製造方法としては様々な方法があるが、その一例を図7に模式的に示す。以下、図5及び図7を参照しながら製造方法の一例について説明する。図7においても、図5に示した部位と同じ部位には図5に付した符号と同一の符号を付している。

【0053】1) 基板001を洗剤、純水及び有機溶剤等を用いて十分に洗浄し、真空蒸着法、スパッタ法等により素子電極材料を堆積後、例えば、フォトリソグラフィ技術を用いて基板001上に素子電極002、003を形成する（図7(a)参照）。

【0054】2) 素子電極002、003を設けた基板001に、有機金属溶液を塗布して、有機金属薄膜を形成する。有機金属溶液には、前述の導電性薄膜004の材料の金属を主元素とする有機金属化合物の溶液を用いることができる。有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターンニングし、導電性薄膜004を形成する（図7(b)参照）。ここでは、有機金属溶液の塗布法を挙げて説明したが、導電性薄膜004の形成法はこれに限られるものでなく、真空蒸着法、スパッタ法、化学的气相堆積法、分散塗布法、ディッピング法、スピンナー法等を用いることもできる。

【0055】3) 続いて、フォーミング処理を施す。このフォーミング処理方法の一例として通電処理による方法を説明する。素子電極002、003間に、不図示の電源を用いて通電を行うと、導電性薄膜004の部位に、構造の変化した電子放出部005が形成される（図7(c)参照）。

【0056】通電フォーミングによれば導電性薄膜004に局所的に破壊、変形もしくは変質等の構造変化した部位が形成される。該部位が電子放出部005となる。通電フォーミングの電圧波形の例を図8に示す。電圧波形は、パルス波形が、好ましい。これにはパルス波高値を定電圧としたパルスを連続的に印加する図8(a)に示した手法と、パルス波高値を増加させながら電圧パルスを印加する図8(b)に示した手法がある。

【0057】図8(a)におけるT1及びT2は電圧波形のパルス幅とパルス間隔である。通常T1は1 μ s～10ms、T2は、10 μ s～100msの範囲に設定される。三角波の波高値（通電フォーミング時のピーク電圧）は、表面伝導型電子放出素子形態に応じて適宜選択される。このような条件のもと、例えば、数秒～数十分間電圧を印加する。パルス波形は三角波に限定されるも

のではなく、矩形波等所望の波形を採用することができる。

【0058】図8(b)におけるT1及びT2は、図8(a)に示したのと同様とすることができる。三角波の波高値(通電フォーミング時のピーク電圧)は、例えば0.1Vステップ程度づつ増加させることができる。通電フォーミング処理の終了は、パルス間隔T2中に、導電性薄膜004を局所的に破壊、変形しない程度の電圧を印加し、電流を測定して検知することができる。例えば0.1V程度の電圧印加により流れる素子電流を測定し、抵抗値を求めて、1MΩ以上の抵抗を示した時、通電フォーミングを終了させる。

【0059】4) フォーミングを終えた素子には活性化処理を施すのが好ましい。活性化処理を施すことにより、素子電流If、放出電流Ieが著しく変化する。活性化処理は、例えば有機物質のガスを含む雰囲気中で、通電フォーミングと同様に、パルスの印加を繰り返すことにより行うことができる。この雰囲気は、例えば油拡散ポンプやロータリーポンプ等を用いて真空容器内を排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、イオンポンプ等により一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの好ましい有機物質のガス圧は、前述の応用の形態、真空容器の形状や、有機物質の種類等により異なるため場合に依り適宜設定される。

【0060】適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミノ類、フェノール、カルボン酸、スルホン酸等の有機酸類等を挙げることができ、具体的には、メタン、エタン、プロパン等C_nH_{2n+2}で表される飽和炭化水素、エチレン、プロピレン等C_nH_{2n}等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等が使用できる。

【0061】この処理により雰囲気中に存在する有機物質から炭素或いは炭素化合物が素子上に堆積し、素子電流If、放出電流Ieが、著しく変化する。活性化工程の終了判定は、素子電流Ifと放出電流Ieを測定しながら行う。尚パルス幅、パルス間隔、パルス波高値等は適宜設定される。

【0062】炭素或いは炭素化合物とは、HOPG(Highly Oriented Pyrolytic Graphite)、PG(Pyrolytic Graphite)、GC(Glassy Carbon)等のグラファイトが挙げられ(HOPGはほぼ完全な結晶構造を有するグラファイト、PGは結晶粒が200オングストローム程度で結晶構造がやや乱れたグラファイ

ト、GCは結晶粒が20オングストローム程度で結晶構造の乱れが更に大きくなったものを指す。)、非晶質カーボン(アモルフォスカーボン及びアモルファスカーボン)と前記グラファイトの微結晶の混合物を含むカーボン)であり、その膜厚は500オングストローム以下にするのが好ましく、300オングストローム以下であればより好ましい。

【0063】5) 活性化工程を経て得られた電子放出素子は、安定化処理を行うことが好ましい。この処理は真空容器内の有機物質の分圧が、10⁻⁸torr以下、望ましくは10⁻¹⁰torr以下で行うのがよい。真空容器内の圧力は、10^{-6.5}~10⁻⁷torrが好ましく、特に10⁻⁸torr以下が好ましい。真空容器を排気する真空排気装置は、装置から発生するオイルが素子の特性に影響を与えないように、オイルを使用しないものを用いるのが好ましい。

【0064】具体的にはソーブションポンプ、イオンポンプ等の真空排気装置を挙げることができる。更に真空容器内を排気するときには、真空容器全体を加熱して真空容器内壁や電子放出素子に吸着した有機物質分子を排気し易くするのが好ましい。このときの加熱した状態での真空排気条件は、80~200℃で5時間以上が望ましいが、特にこの条件に限るものではなく、真空容器の大きさや形状、電子放出素子の構成等の諸条件により変化する。尚、上記有機物質の分圧測定は質量分析装置により質量数が10~200の炭素と水素を主成分とする有機分子の分圧を測定し、それらの分圧を積算することにより求める。

【0065】安定化工程を経た後の、駆動時の雰囲気は、上記安定化処理終了時の雰囲気を維持するのが好ましいが、これに限るものではなく、有機物質が十分除去されていれば、真空度自体は多少低下しても十分安定な特性を維持することができる。このような真空雰囲気を採用することにより、新たな炭素或いは炭素化合物の堆積を抑制でき、結果として素子電流If、放出電流Ieが安定する。

【0066】電子放出素子の配列については種々のものが採用できる。一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し(行方向と呼ぶ)、この配線と直交する方向(列方向と呼ぶ)で該電子放出素子の上方に配した制御電極(グリッドとも呼ぶ)により、電子放出素子からの電子を制御駆動する梯子状配置のものがある。これとは別に、電子放出素子をX方向及びY方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方を、X方向の配線に共通に接続し、同じ列に配された複数の電子放出素子の電極の他方を、Y方向の配線に共通に接続するものが挙げられる。このようなものはいわゆる単純マトリックス配線である。先ず単純マトリックス配線について以下に詳述する。

13

【0067】本発明の電子放出素子を複数個マトリックス状に配して得られる電子源基板について、図9を用いて説明する。図9において、71は電子源基板、72はX方向配線、73はY方向配線である。74は表面伝導型電子放出素子、75は結線である。尚、表面伝導型電子放出素子74は、前述した平面型或いは垂直型のどちらであってもよい。

【0068】m本のX方向配線72は、 $D \times 1, D \times 2, \sim D \times m$ からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、巾は、適宜設計される。Y方向配線73は、 $Dy1, Dy2, \sim Dy n$ のn本の配線よりなり、X方向配線72と同様に形成される。これらm本のX方向配線72とn本のY方向73との間には、不図示の層間絶縁層が設けられており、両者を電気的に分離している（m、nは共に正の整数）。不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成されたSiO₂等で構成される。例えば、X方向配線72を形成した基板71の全面或いは一部に所望の形状で形成され、特にX方向配線72とY方向配線73の交差部の電位差に耐え得るように膜厚、材料、製法が設定される。X方向配線72とY方向配線73は、それぞれ外部端子として引き出されている。表面伝導型電子放出素子74を構成する一対の電極（不図示）は、m本のX方向配線72とn本のY方向配線73と導電性金属等からなる結線75によって電気的に接続されている。

【0069】配線72と配線73を構成する材料、結線75を構成する材料及び一対の素子電極を構成する材料は、その構成元素の一部或いは全部が同一であっても、またそれぞれ異なってもよい。これら材料は、例えば前述の素子電極の材料より適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極と云うこともできる。

【0070】X方向配線72には、X方向に配列して表面伝導型電子放出素子74の行を選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、Y方向配線73にはY方向に配列した表面伝導型電子放出素子74の各列を入力信号に応じて、変調するための不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。上記構成においては、単純なマトリックス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0071】このような単純マトリックス配置の電子源を用いて構成した画像形成装置について、図10、図11及び図12を用いて説明する。図12は画像形成装置の表示パネルの一例を示す模式図であり、図11は図12の画像形成装置に使用される蛍光膜の模式図である。

14

図10はNTSC方式のテレビ信号に応じて表示を行うための駆動回路の一例を示すブロック図である。尚、図12では、説明の便宜上、本発明の屈曲した取り出し配線部は省略した。図12において71は電子放出素子を複数配した電子源基板、81は電子源基板71を固定したリアプレート86はガラス基板83の内面に蛍光膜84とメタルバック85等が形成されたフェースプレートである。82は、支持枠であり該支持枠82には、リアプレート81、フェースプレート86がフリットガラス等を用いて接続されている。88は外囲器であり、例えば大気中或いは窒素中で400～500℃の温度範囲で10分間以上焼成され、封着される。74は、図5における電子放出部に相当する。72、73は表面伝導型電子放出素子の一対の素子電極と接続されたX方向配線及びY方向である。

【0072】外囲器88は、上述の如く、フェースプレート86、支持枠82、リアプレート81で構成される。リアプレート81は主に電子源基板71の強度を補強する目的で設けられるため、電子源基板71自体で十分な強度を持つ場合は別体のリアプレート81は不要とすることができる。即ち、基板71に直接支持枠82を封着し、フェースプレート86、支持枠82及び基板71で外囲器88を構成してもよい。一方、フェースプレート86、リアプレート81間に、スペーサ（耐大気圧支持部材）とよばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器88を構成することもできる。

【0073】図11は、蛍光膜を示す模式図である。蛍光膜84はモノクロームの場合は蛍光体のみから構成することができる。カラーの蛍光膜の場合は蛍光体の配列によりブラックストライプ或いはブラックマトリクス等と呼ばれる黒色部材91と蛍光体92とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体92間の塗り分け部を黒くすることで混色等を目立たなくすることと、外光反射によるコントラストの低下を抑制することにある。ブラックストライプの材料としては、通常用いられている黒鉛を主成分とする材料の他、光の透過及び反射が少ない材料であれば、これを用いることができる。

【0074】ガラス基板93に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈殿法、印刷法等が採用できる。蛍光膜84の内面側には、通常メタルバック85が設けられる。メタルバックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート86側へ鏡面反射させることにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化

処理（通常、フィルミングと呼ばれる）を行い、その後A1を真空蒸着等を用いて堆積させることで作製できる。

【0075】フェースプレート86には、更に蛍光膜84の導電性を高めるため、蛍光膜84の外側（ガラス基板83側）に透明電極（不図示）を設けてもよい。前述の封着を行う際には、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。図12に示した画像形成装置は、例えば以下のようにして製造される。

【0076】外囲器88は、前述の安定化工程と同様に、適宜加熱しながら、イオンポンプ、ソーブションポンプ等のオイルを使用しない排気装置により不図示の排気管を通じて排気し、 1×10^{-7} torr程度の真空度の有機物質の十分少ない雰囲気にした後、封止される。外囲器88の封止後の真空度を維持するために、ゲッター処理を行うこともできる。これは、外囲器88の封止を行う直前或いは封止後に抵抗加熱或いは高周波加熱等を用いた加熱により、外囲器88内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、例えば $1 \times 10^{-6} \sim 1 \times 10^{-7}$ torrの真空度を維持するものである。

【0077】次に、単純マトリックス配置の電子源を用いて構成した表示パネルにNTSC方式のテレビ信号に基づいたテレビジョン表示を行うための駆動回路の構成例について、図10を用いて説明する。図10において、101は表示パネル、102は走査回路、103は制御回路、104はシフトレジスタである。105はラインメモリ、106は同期信号分離回路、107は変調信号発生器、Vx及びVaは直流電圧源である。

【0078】表示パネル101は、端子Dox1～Doxm、端子Doy1～Doyn、及び高圧端子Hvを介して外部の電気回路と接続している。端子Dox1～Doxmには、表示パネル内に設けられている電子源、即ちm行n列の行列状にマトリックス配線された表面伝導型電子放出素子群を一行（n素子）ずつ順次駆動するための走査信号が印加される。

【0079】端子Doy1～Doynには、前記走査信号により選択された一行の表面伝導型電子放出素子の各素子の出力電子ビームを制御するための変調信号が印加される。高圧端子Hvには、直流電圧源Vaより、例えば10kVの直流電圧が供給されるが、これは表面伝導型電子放出素子から放出される電子ビームに蛍光体を励起するのに十分なエネルギーを付与するための加速電圧である。

【0080】走査回路102について説明する。同回路は、内部にm個のスイッチング素子を備えたもので（図中、S1～Smで模式的に示している）ある。各スイッチング素子は、直流電圧源Vxの出力電圧もしくは0V

（グラウンドレベル）のいずれか一方を選択し、表示パネル101の端子Dox1～Doxmと電気的に接続される。S1～Smの各スイッチング素子は、制御回路103が出力する制御信号Tscanに基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0081】直流電圧源Vxは、本例の場合には表面伝導型電子放出素子の特性（電子放出しきい値電圧）に基づき走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるような一定電圧を出力するように設定されている。制御回路103は、外部より入力する画像信号に基づいて適切な表示が行われるように各部の動作を整合させる機能を有する。制御回路103は、同期信号分離回路106より送られる同期信号Tsyncに基づいて、各部に対してTscan及びTsft及びTmryの各制御信号を発生する。

【0082】同期信号分離回路106は、外部から入力されるNTSC方式のテレビ信号から同期信号成分と輝度信号成分とを分離するための回路で、一般的な周波数分離（フィルター）回路等を用いて構成できる。同期信号分離回路106により分離された同期信号は、垂直同期信号と水平同期信号よりなるが、ここでは説明の便宜上Tsync信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は便宜上DATA信号と表した。該DATA信号はシフトレジスタ104に入力される。

【0083】シフトレジスタ104は、時系列的にシリアルに入力される前記DATA信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路103より送られる制御信号Tsftに基づいて動作する（即ち、制御信号Tsftは、シフトレジスタ104のシフトロックであると言うこともできる）。シリアル/パラレル変換された画像1ライン分（電子放出素子n素子分の駆動データに相当）のデータは、Id1～Idnのn個の並列信号として前記シフトレジスタ104より出力される。ラインメモリ105は、画像1ライン分のデータを必要時間の間だけ記憶するための記憶装置であり、制御回路103より送られる制御信号Tmryに従って適宜Id1～Idnの内容を記憶する。記憶された内容は、I'd1～I'dnとして出力され、変調信号発生器107に入力される。

【0084】変調信号発生器107は、画像データI'd1～I'dnの各々に応じて表面伝導型電子放出素子の各々を適切に駆動変調するための信号源であり、その出力信号は、端子Doy1～Doynを通じて表示パネル101内の表面伝導型電子放出素子に印加される。

【0085】本発明の電子放出素子は放出電流Ieに対し低下の基本特性を有している。即ち、電子放出には明確なしきい値電圧Vthがあり、Vth以上の電圧を印加されたときのみ電子放出が生じる。電子放出しきい値

以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出しきい値以下の電圧を印加しても電子放出は生じないが、電子放出しきい値以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値 V_m を変化させることにより出力電子ビームの強度を制御することが可能である。また、パルスの幅 P_w を変化させることにより出力される電子ビームの電荷の総量を制御することが可能である。

【0086】従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器107として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。

【0087】パルス幅変調方式を実施するに際しては、変調信号発生器107として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。シフトレジスタ104やラインメモリ105は、デジタル信号式のものをもアナログ信号式のものをも採用できる。画像信号のシリアル/パラレル変換や記憶が所定の速度で行われればよいからである。

【0088】デジタル信号式を用いる場合には、同期信号分離回路106の出力信号DATAをデジタル信号化する必要があるが、これには106の出力部にA/D変換器を設ければよい。これに関連してラインメモリ105の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器107に用いられる回路が若干異なったものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばD/A変換回路を用い、必要に応じて増幅回路等を付加する。パルス幅変調方式の場合、変調信号発生器107には、例えば高速の発振器及び発振器の出力する波数を計数する計数器(カウンタ)及び計数器の出力値と前記メモリの出力値を比較する比較器(コンパレータ)を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0089】アナログ信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばオペアンプ等を用いた増幅回路を採用でき、必要に応じてレベルシフト回路等を付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路(VCO)を採用でき、必要に応じて表面伝導型電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。このような構成をとり得る本発明の画像形成装置に

おいては、各電子放出素子に、容器外端子 $D_{ox1} \sim D_{oxm}$, $D_{oy1} \sim D_{oyn}$ を介して電圧を印加することにより、電子放出が生ずる。高圧端子 H_v を介してメタルバック85、或いは透明電極(不図示)に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜84に衝突し、発光が生じて画像が形成される。

【0090】ここで述べた画像形成装置の構成は一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号については、NTSC方式を挙げたが入力信号はこれに限られるものではなく、PAL、SECAM方式等の他、これよりも多数の走査線からなるTV信号(例えば、MUSE方式をはじめとする高品位TV)方式をも採用できる。次に、梯子型配置の電子源及び画像形成装置について図13及び図14を用いて説明する。

【0091】図13は、梯子型配置の電子源の一例を示す模式図である。図13において、110は電子源基板、111は電子放出素子である。112(即ち、 $D_{x1} \sim D_{x10}$)は、電子放出素子111を接続するための共通配線である。電子放出素子111は、基板110上に、X方向に並列に複数個配されている(これを素子行と呼ぶ)。この素子行が複数個配されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することにより、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子行には、電子放出しきい値以上の電圧を、電子ビームを放出しない素子行には、電子放出しきい値以下の電圧を印加する。各素子行間の共通配線 $D_{x2} \sim D_{x9}$ は、例えば D_{x2} 、 D_{x3} を同一配線とすることもできる。

【0092】図14は、梯子型配置の電子源を備えた画像形成装置におけるパネル構造の一例を示す模式図である。120はグリッド電極、121は電子が通過するため開口、122は D_{ox1} , D_{ox2} , $\sim D_{oxm}$ よりなる容器外端子である。123は、グリッド電極120と接続された G_1 , G_2 , $\sim G_n$ からなる容器外端子、110は各素子行間の共通配線を同一配線とした電子源基板である。尚、本図においても説明の便宜上、本発明の屈曲した取り出し配線部は省略した。図14においては、図12及び図13に示した部位と同じ部位には、これらの図に付したのと同一の符号を付している。ここに示した画像形成装置と、図12に示した単純マトリクス配置の画像形成装置との大きな違いは、電子源基板110とフェースプレート86の間にグリッド電極120を備えているか否かである。

【0093】図14においては、基板110とフェースプレート86の間には、グリッド電極120が設けられている。グリッド電極120は、表面伝導型電子放出素子から放出された電子ビームを変調するためのものであり、梯子型配置の素子行と直交して設けられたストライプ状の電極に電子ビームを通過させるため、各素子に対

応して1個ずつ円形の開口121が設けられている。グリッドの形状や設置位置は図14に示したものに限定されるものではない。例えば、開口としてメッシュ状に多数の通過口を設けることもでき、グリッドを表面伝導型電子放出素子の周囲や近傍に設けることもできる。容器外端子122及びグリッド容器外端子123は、不図示の制御回路と電気的に接続されている。本例の画像形成装置では、素子行を1列ずつ順次駆動（走査）していくのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピューター等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置としても用いることができる。本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピューター等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。

【0094】

【実施例】以下、実施例を挙げて本発明を詳しく説明するが、本発明はこれらによって何ら限定されるものではない。

【0095】[実施例1] 図1及び2を用いて表面伝導型電子放出素子とマトリックス配線を用いた本発明の第一の実施例を示す。図1において、リアプレート81は青板ガラスから成る基板であり、有機金属ペースト(MOD)の印刷、焼成により素子電極002、003を形成した。材質は1000オングストロームのAu薄膜から成っており、中央部で電極間隔20 μ m、電極幅300 μ mである。

【0096】X方向配線（下配線）72はAgペーストインキ（ノリタケ（株）製4028A）の印刷後480℃前後の焼成で得られた印刷配線であり、厚さ約13 μ m、幅100 μ mで支持棒82の形成位置の屈曲部77において長さ10mmで、最大振幅約500 μ m屈曲している。このX方向配線（下配線）72は素子電極002と接続している。

【0097】16はPbOを主成分とするガラスペースト（ノリタケ（株）製7723B）を印刷後480℃前後の焼成によって形成される絶縁体であり、後に形成するY方向配線（上配線）との交差部を覆うように形成されている。厚み約15 μ m、横300 μ m、縦400 μ mとした。

【0098】72はY方向配線（上配線）であり、Agペーストインキ（ノリタケ（株）製4028A）の印刷後480℃前後の焼成で得られた印刷配線であり、絶縁体16の上部でX方向配線（下配線）72と交差しており、素子電極003と接続している。厚さ約10 μ m、

幅200 μ mで支持棒82の形成位置の屈曲部77において長さ10mmで、最大振幅約500 μ m屈曲している。

【0099】004は導電製薄膜であり、Pdの有機金属溶液（奥野製薬（株）製CCP4230）の塗布焼成により得られた厚み約200オングストロームのPdO微粒子から成る薄膜である。全面に塗布成膜した後フォトリソグラフィによりパターンニングを行い、図2(e)に示すように素子電極002、003上の位置に形成した。

【0100】以上のようにして作製した電子源基板71の上部に、支持棒82、フェースプレート86を5mm隔てて対抗させた。ここで用いた支持棒82は青板ガラスを使用し幅が15mmであり、非晶質性フリットガラス（日本電気硝子（株）製LS-3081）を用いて350℃の仮焼成の後、410℃の加熱処理により封着を行った。

【0101】このフェースプレート86の基板は青板ガラスを使用した。蛍光体92は赤（R）、緑（G）、青（B）の各色の色分けを行ったものであり、感光性樹脂に蛍光体を混合したスラリーを基板に塗布、乾燥し、フォトリソグラフ法によってパターンニングして形成した。

【0102】メタルバック85は蛍光膜上にフィルミングを行った後、真空蒸着によって厚さ約300オングストロームのAl薄膜を形成し、次いで焼成によりフィルム層を消滅させて作成した。

【0103】以上を真空外囲器の中に配置した後、X方向配線（下配線）72、Y方向配線（上配線）73に電圧を印加して素子電極002、003間の導電製薄膜004に通電処理を行い亀裂状の電子放出部005を得た。

【0104】この後メタルバック85をアノード電極として電子の引き出し電圧3kVを印加し、XY配線電極72、73を通して素子電極002、003から電子放出部005へ14Vの電圧を印加したところ、電子が放出された。この放出電子を蛍光体へ照射させ、放出電子量を調整することにより蛍光体92を任意の強度で発光させ画像を表示することができた。

【0105】本実施例を用い内部を真空にした外囲器88において電子源基板71を40cm角の大きさとして、電子放出素子数を360個×360個のマトリックス状に配置した。このような外囲器88を20個作製した結果、X方向配線（下配線）72、Y方向配線（上配線）73の外部への取り出し部に起因する欠陥は生じなかった。

【0106】[実施例2] 本発明の第二の実施例を図3を用いて説明する。本実施例2は、実施例1におけるX方向配線（下配線）72、Y方向配線（上配線）73の形成に際して、屈曲部77の形状を実施例1のものに代

10

20

30

40

50

21

えて屈曲点を2点のみとしたものである。製造方法は実施例1とほぼ同様であり、XY配線印刷の際、異なるパターンを用いるだけである。このような構造を用いても実施例1と同様の効果を得ることができた。

【0107】【実施例3】本発明の第三の実施例を図4を用いて説明する。本実施例は実施例1における配線（下配線）72のみとした梯子状の配線構成としたものである。製造方法は実施例1で説明した工程において印刷パターンの変更により可能であり、絶縁体及びY方向配線の形成は不要となる。このような構造を用いても実施例1と同様の効果を得ることができた。

【0108】

【発明の効果】上記のように、真空中に保持される内部から外部へと支持棒下部のガラスフリット等で封着された部分を電子放出素子と接続し、印刷法により形成された厚膜のX方向配線、Y方向配線が貫通する構造を有する画像形成装置において、支持棒下部において配線を屈曲させることにより内外を貫く直線状の空隙を生じにくくすることが可能となる。このような構造を採用することにより支持棒の封着位置におけるリークの発生率をより簡便な製造方法を用いた場合においても低減することが可能となる。

【0109】これによりコストのかかるフォトリソグラフィによる加工に替えて、より低コストな印刷法を用いても歩留りの低下を招くことなく、大巾なコスト低減が達成される。

【図面の簡単な説明】

【図1】本発明の特徴を表す画像形成装置の構成を示す斜視図。

【図2】本発明の第一の実施例を示す製造工程説明図。

【図3】本発明の第二の実施例を示す説明図。

【図4】本発明の第三の実施例を示す説明図。

【図5】本発明の平面型表面伝導型電子放出素子の構成を示す模式図（但し（a）は平面図、（b）は断面図）。

【図6】本発明の垂直型表面伝導型電子放出素子を示す模式断面図。

【図7】本発明の表面伝導型電子放出素子の製造工程を示す模式説明図。

【図8】本発明の表面伝導型電子放出素子の製造に際して採用できる通電フォーミング処理における電圧波形の一例を示すグラフ図。

【図9】本発明のマトリクス配置型の電子源基板の一例を示す模式図。

【図10】画像形成装置にNTSC方式のテレビ信号に応じて表示を行うための駆動回路の一例を示すブロック図。

【図11】蛍光膜の一例を示す模式平面図。

22

【図12】本発明の画像形成装置の表示パネルの一例を示す模式斜視図。

【図13】本発明の梯子配置型電子源基板の一例を示す模式平面図。

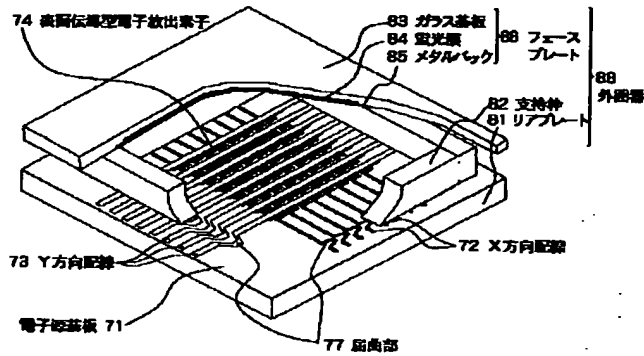
【図14】本発明の画像形成装置の表示パネルの一例を示す模式斜視図。

【図15】従来の表面伝導型電子放出素子を示す模式平面図。

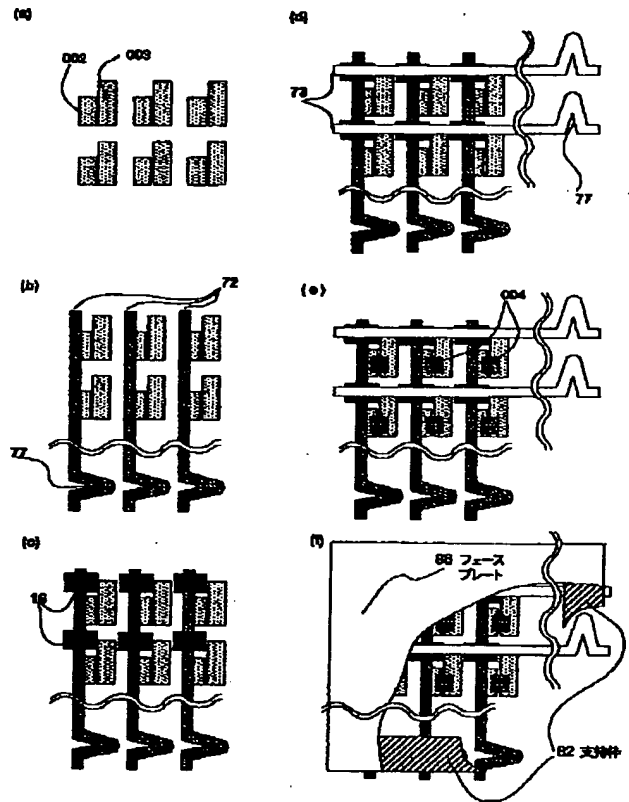
【符号の説明】

001	基板
002, 003	素子電極
004	導電性薄膜
005	電子放出部
16	絶縁体
21	段差形成部
71	電子源基板
72	X方向配線（下配線）
73	Y方向配線（上配線）
74	表面伝導型電子放出素子
75	結線
77	屈曲部
81	リアプレート
82	支持棒
83	ガラス基板
84	蛍光膜
85	メタルバック
86	フェースプレート
88	外囲器
91	黒色部材
92	蛍光体
101	表示パネル
102	走査回路
103	制御回路
104	シフトレジスタ
105	ラインメモリ
106	同期信号分離回路
107	変調信号発生器
110	電子源基板
111	電子放出素子
112	前記電子放出素子を配線するための共通配線（D×1～D×10）
120	グリッド電極
121	電子が通過するため開口
112	D×1, D×2, ～D×mよりなる容器外端子
123	グリッド電極と接続されたG1, G2, ～Gnよりなる容器外端子
Vx, Va	直流電圧源

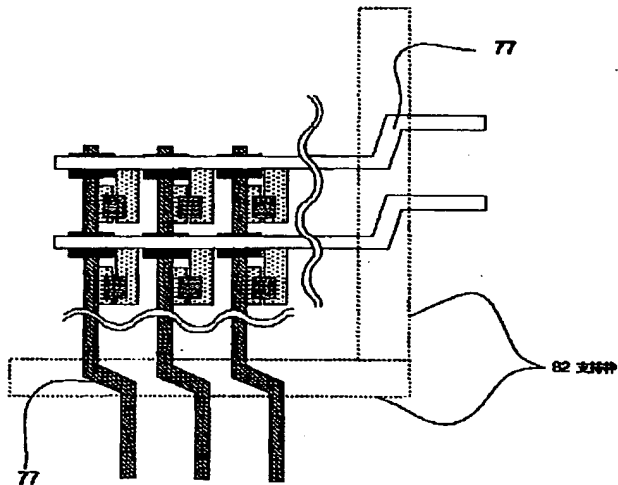
【図1】



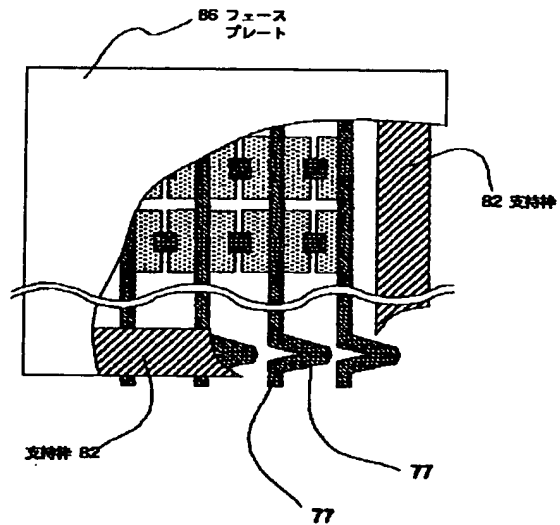
【図2】



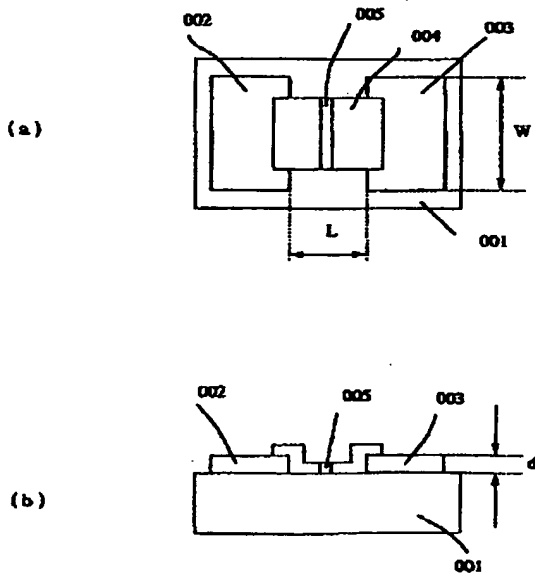
【図3】



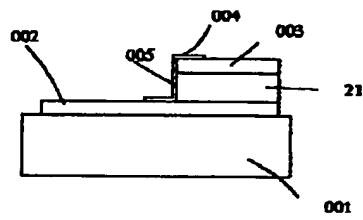
【図4】



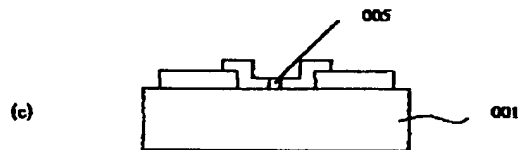
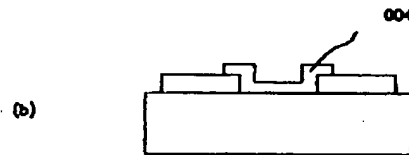
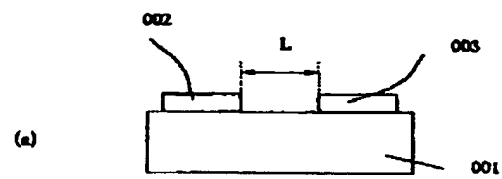
【図5】



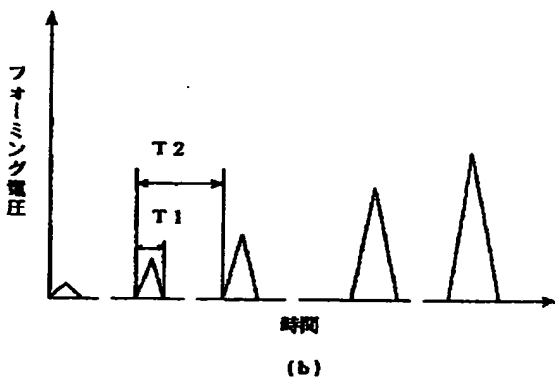
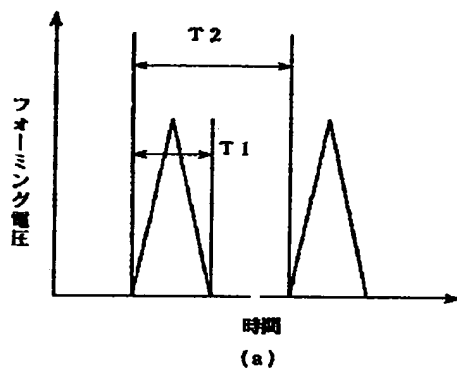
【図6】



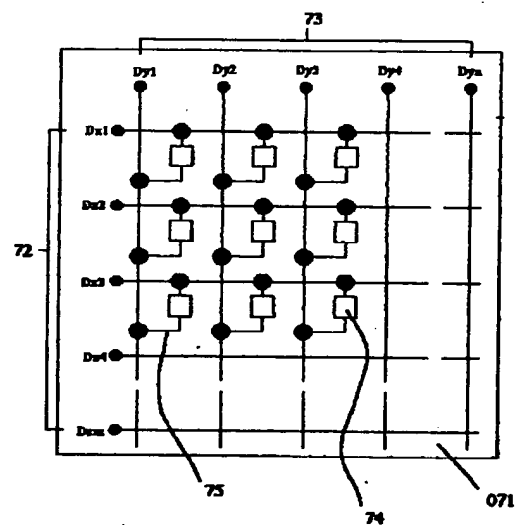
【図7】



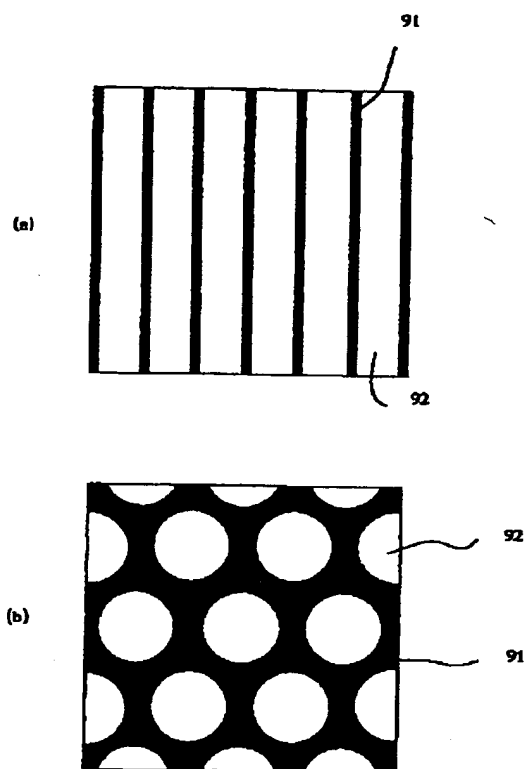
【図8】



【図9】



【图 11】



【図13】

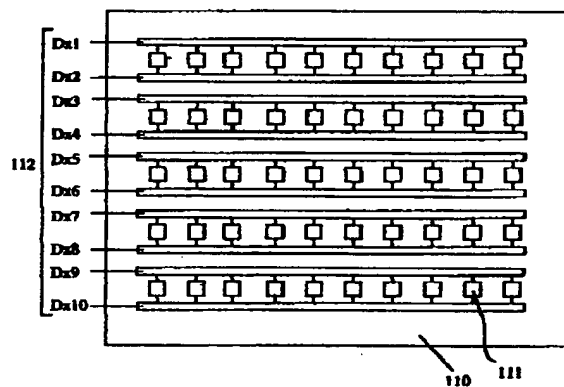


Figure 1 is a perspective view of a semiconductor device 100. The device includes a substrate 110 with a grid of electrodes 120. A gate layer 84 is formed on the substrate, and a gate voltage supply 88 is connected to it. A top surface layer 122 is also shown. Various electrical connections are labeled: G1, G2, G(n-1), Gn, Hvr, Dcox1, Dcox2, Dcoxn, 121, and 120. A coordinate system (X, Y, Z) is shown at the bottom left.

【図15】

